

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Osamu MATSUURA, et al.

Serial Number: Not Yet Assigned

Filed: December 24, 2003

Customer No.: 38834

For: FERROELECTRIC CAPACITOR, PROCESS FOR PRODUCTION THEREOF AND
SEMICONDUCTOR DEVICE USING THE SAME

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

December 24, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

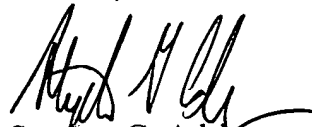
Japanese Appln. No. 2003-002577, filed on January 8, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032203
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/II

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 8日
Date of Application:

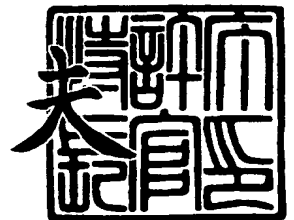
出願番号 特願2003-002577
Application Number:
[ST. 10/C]: [JP 2003-002577]

出願人 富士通株式会社
Applicant(s):

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103153

【書類名】 特許願

【整理番号】 0240870

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G03F 7/11

【発明の名称】 強誘電体キャパシタ及びその製造方法、並びに半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 松浦 修武

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 丸山 研二

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 高井 一章

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100107515

 【弁理士】

 【氏名又は名称】 廣田 浩一

 【電話番号】 03-5304-1471



【手数料の表示】

【予納台帳番号】 124292

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115800

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体キャパシタ及びその製造方法、並びに半導体装置

【特許請求の範囲】

【請求項 1】 一対の電極間に強誘電体を挟持させてなり、該強誘電体が、原子間力顕微鏡で測定した表面粗さ（RMS）が 10 nm 以上である第 1 強誘電体層と、該第 1 強誘電体層上に形成され、原子間力顕微鏡で測定した表面粗さ（RMS）が 5 nm 以下である第 2 強誘電体層とを有することを特徴とする強誘電体キャパシタ。

【請求項 2】 第 1 強誘電体層が、強誘電性を示す結晶化構造をとる結晶化温度以上の温度で形成され、第 2 強誘電体層が、強誘電性を示す結晶化構造をとる結晶化温度未満の温度で形成される請求項 1 に記載の強誘電体キャパシタ。

【請求項 3】 第 1 強誘電体層が、ペロブスカイト型結晶構造を有し、第 2 強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造に転化されてなる請求項 1 から 2 のいずれかに記載の強誘電体キャパシタ。

【請求項 4】 強誘電体が、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ [PZT]、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ [SBT] 及び $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ [BIT] から選択される請求項 1 から 3 のいずれかに記載の強誘電体キャパシタ。

【請求項 5】 第 1 強誘電体層が、ペロブスカイト型結晶構造を有する $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ [PZT] であり、第 2 強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造に転化されてなる $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ [PZT] である請求項 1 から 4 のいずれかに記載の強誘電体キャパシタ。

【請求項 6】 一対の電極間に強誘電体を挟持させてなり、該一対の電極における一方の表面に、第 1 強誘電体層と、第 2 強誘電体層と、該一対の電極における他方とをこの順に有してなり、該第 1 強誘電体層が柱状の結晶粒界を有し、該第 2 強誘電体層が粒状の結晶粒界を有する請求項 1 から 5 のいずれかに記載の強誘電体キャパシタ。

【請求項 7】 基板と、該基板上に形成された強誘電体キャパシタとを含んでなり、前記強誘電体キャパシタが、請求項 1 から 6 のいずれかに記載の強誘電体キャパシタであることを特徴とする半導体装置。

【請求項 8】 一対の電極間に強誘電体を挟持させてなる強誘電体キャパシタの製造方法であって、該一対の電極における一つの電極上に、第 1 強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度以上の温度で該第 1 強誘電体層を形成した後、該第 1 強誘電体層の上に、第 2 強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度未満の温度で該第 2 強誘電体層を形成することを特徴とする強誘電体キャパシタの製造方法。

【請求項 9】 第 2 強誘電体層を形成した後、該第 2 強誘電体層上に一対の電極における他の電極を形成した後、全体を熱処理して、該第 2 強誘電体層における結晶粒界をアモルファス型構造から結晶型構造に転化させる請求項 8 に記載の強誘電体キャパシタの製造方法。

【請求項 10】 第 1 強誘電体層の形成が、有機金属化学気相堆積(Metalorganic Chemical Vapor Deposition; MOCVD)法により行われ、第 2 強誘電体層の形成が、スパッタリング法により行われる請求項 8 から 9 のいずれかに記載の強誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、疲労特性が改善し、大容量の不揮発性メモリとして好適な強誘電体キャパシタ及びその効率的な製造方法、並びに、該強誘電体キャパシタを有する高性能な半導体装置に関する。

【0002】

【従来の技術】

強誘電体は、優れた強誘電性、圧電性、焦電性等を示すことから、メモリ、各種アクチュエータ、各種センサなどに幅広く応用されている。前記メモリに関しては、前記強誘電体が持つヒステリシスを利用することにより不揮発性メモリに応用することが研究されてきた。このような不揮発性メモリとしては、下部電極／強誘電体／上部電極の構造を有し、基板表面に設けられた強誘電体キャパシタが知られている。

ところで、前記強誘電体の材料としては、優れた強誘電性を示す Pb (Zr,

Ti) O₃[PZT]等のPb系のものが好適に用いられている。そして、前記強誘電体の形成方法としては、例えば、ゾルゲル法、スパッタリング法、有機金属化学気相堆積(MOCVD)法などが知られているが、ステップカバレッジが良好であり、微細化しても高い強誘電性を示し高密度な強誘電体の結晶が得られる点で、前記有機金属化学気相堆積(MOCVD)法が多用されてきた。従来は、Pt、Ir等の貴金属やIrO_x(但し、 $0 < x \leq 2$)等の導電性酸化物を用いて形成した下部電極上に、前記MOCVD法によりPZTの強誘電体膜を形成し、該強誘電体膜上に上部電極を形成していた。

【0003】

しかしながら、このようにして形成した前記強誘電体を有する前記強誘電体キャパシタを前記不揮発性メモリに応用した場合、該強誘電体に対し反転動作を繰り返すうちに分極量が減少する「疲労特性」と呼ばれる現象が生ずる。従来異においては、この「疲労特性」を改善する目的で、前記強誘電体キャパシタにおいて酸化物電極を使用するなどの改良が提案されている(例えば、特許文献1~4等参照)。また、前記MOCVD法により、IrO₂/PZT/Irの構造を有する強誘電体キャパシタの形成も検討されているが、前記「疲労特性」が改善されるまでには至っていないのが現状である。

【0004】

【特許文献1】

特開平10-173141号公報

【特許文献2】

特開2001-144264号公報

【特許文献3】

特開2001-267518号公報

【特許文献4】

特開2002-100740号公報

【0005】

【発明が解決しようとする課題】

本発明は、従来における問題を解決し、以下の目的を達成することを課題とす

る。即ち、本発明は、疲労特性が改善し、大容量の不揮発性メモリとして好適な強誘電体キャパシタ及びその効率的な製造方法、並びに、該強誘電体キャパシタを有する高性能な半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

前記課題を解決するための手段としては、後述する（付記1）から（付記20）に記載した通りである。

本発明の強誘電体キャパシタは、一対の電極間に強誘電体を挟持させてなり、該強誘電体が、原子間力顕微鏡で測定した表面粗さ（RMS）が10nm以上である第1強誘電体層と、該第1強誘電体層上に形成され、原子間力顕微鏡で測定した表面粗さ（RMS）が5nm以下である第2強誘電体層とを有する。

該強誘電体キャパシタにおける前記強誘電体は、前記一対の電極における一方の下部電極上に形成され、表面が粗い前記第1強誘電体層と、該第1強誘電体層上に設けられ、表面が平坦な前記第2強誘電体層とを有してなるので、該第2強誘電体層とその上に設けられる前記一対の電極における他方の上部電極との界面に、欠陥が発生し難く、欠陥に電荷がトラップすることがなく、反転動作を繰り返すうちに分極量が減少してしまう「疲労特性」が大幅に改善される。

【0007】

本発明の強誘電体キャパシタの製造方法は、一対の電極間に強誘電体を挟持させてなる強誘電体キャパシタの製造方法であって、該一対の電極における一つの電極上に、第1強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度以上の温度で該第1強誘電体層を形成した後、該第1強誘電体層の上に、第2強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度未満の温度で該第2強誘電体層を形成する。このため、前記第1強誘電体層は結晶型構造を有するものの、前記一対の電極における他方の電極（上部電極）を形成する前に前記第2強誘電体層はアモルファス型構造であり結晶型構造を有しないため、該上部電極と該第2強誘電体層との界面における欠陥の発生が効果的に抑制される。

【0008】

本発明の半導体装置は、基板と、該基板上に形成された強誘電体キャパシタと

を含んでなり、前記強誘電体キャパシタが、本発明の強誘電体キャパシタである。該強誘電体キャパシタにおいては、前記第2強誘電体層とその上に設けられる上部電極との界面に欠陥が発生し難く、前記「疲労特性」が大幅に改善される結果、該強誘電体キャパシタを有する半導体装置は、大容量であり、反転動作を繰り返しても分極量に変動がなく、書き換えスピードが速く、書き換え可能回数が多く、消費電力が少なく、例えば、携帯情報端末、ゲーム機用メモリバックアップ、ディスプレイ、パソコン、プリンタ、TV、デジタルカメラ、その他のOA機器等における大容量の不揮発性記憶装置として好適である。

【0009】

【発明の実施の形態】

(強誘電体キャパシタ)

本発明の強誘電体キャパシタは、一对の電極間に強誘電体を少なくとも挟持させてなり、更に必要に応じて適宜選択したその他の層を挟持させてなる。

前記一对の電極としては、特に制限はなく、目的に応じて選択することができるが、例えば、下部電極と上部電極との組合せなどが挙げられる。

【0010】

—下部電極—

前記下部電極としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、(1) Pt、Ir、Au等の貴金属、(2) NiにSc、Ti、V、Cr、Mo、Fe、Co、Cu、Y、Zr、Nb、Mn、Ta、W、Ir及びPtの少なくともいずれかの元素が添加されたもの、(3) IrO₂、RuO₂、SrRuO₃、La_{2-x}Sr_xCuO₄ (但し、0<x≤1である)、IrO_x (但し、0<x≤2)等の導電性酸化物、などが挙げられる。これらの中でも、Pb、Oの拡散を防止する点でIrが好ましい。

【0011】

前記下部電極は、単層構造であってもよいし、積層構造であってもよく、前記Irを用いる場合には、該Irによる単層構造であってもよいし、Ti、Si等の基板乃至層上に前記Irによる層を積層してなる積層構造であってもよく、前記強誘電体(例えば、PZT)の配向性向上等の観点からは積層構造であるのが

好ましい。

前記積層構造の具体例としては、Ir/Ti (Ir: 厚み 150 nm / Ti: 厚み 10 nm)、などが好適に挙げられる。

前記単層構造の場合における前記 Ir による層の厚み、又は前記積層構造における前記 Ir による層の厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、10～1000 nm が好ましく、50～500 nm がより好ましい。

前記下部電極の形成方法としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、スパッタリング法などが好適に挙げられる。

【0012】

— 強誘電体 —

前記強誘電体は、前記下部電極上に形成される第1強誘電体層と、該第1強誘電体層上に形成される第2強誘電体層とを少なくとも有してなる。

【0013】

— 第1強誘電体層 —

前記第1強誘電体層は、原子間力顕微鏡 (AFM: Atomic Force Microscope) で測定した表面粗さ (RMS) が 10 nm 以上である。なお、前記第1強誘電体層を例えば CVD 法等により形成すると、その表面粗さ (RMS) は通常、10 nm 以上となる。

【0014】

前記第1強誘電体層は、ペロブスカイト型結晶構造を有することが好ましい。また、前記第1強誘電体層の結晶粒界としては、高密度で高強度な結晶が得られる点で、柱状構造であるのが好ましい。

前記ペロブスカイト型結晶構造は、式、 ABX_3 で表わされる。ここで、A サイトの陽イオン (カチオン) と、X サイトの陰イオン (アニオン) とが同程度の大きさを有し、この A サイトと X サイトとから構成される立方晶系単位格子の中に、該 A サイトよりも小さなサイズの陽イオンが B サイトに位置する。前記ペロブスカイト型結晶構造を有する化合物の大部分は、室温では理想的な立方晶構造から僅かに歪んだ構造をしており、この適度な歪、いわゆる構造の非対称性が、

ペロブスカイト型結晶構造が種々の機能を示す原因となっている。

【0015】

前記第1強誘電体層を形成する強誘電体の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT) などが挙げられる。これらは、1種単独で使用してもよいし、2種以上を併用してもよい。これらの中でも、残留分極が大きい点で、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ が好ましい。

この場合、前記第1強誘電体層が、例えば、前記ペロブスカイト型結晶構造を有する $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ で形成され、前記第2強誘電体層が、アモルファス型構造から前記ペロブスカイト型結晶構造に転化された $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ で形成されているのが好ましい。

【0016】

前記第1強誘電体層は、強誘電性を示す結晶化構造をとる結晶化温度以上の温度で形成される。この強誘電性を示す結晶化構造をとる結晶化温度は、前記強誘電体の材料により異なるが、前記第1強誘電体が前記 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ である場合には、 500°C 以上が好ましく、 $500\sim 700^\circ\text{C}$ がより好ましい。

なお、前記強誘電性を示す結晶化構造とは、例えば、前記ペロブスカイト型結晶構造を意味する。

【0017】

前記第1強誘電体層の形成方法としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、化学溶液堆積(Chemical Solution Deposition; CSD)法、有機金属化学気相堆積(Metalorganic Chemical Vapor Deposition; MOCVD)法、パルス・レーザー・デポジション(Pulse Laser Deposition; PLD)法、ゾルゲル法、スパッタリング法、などから選択した方法により形成することができ、これらの中でも、ステップカバレッジが良好であり、高密度な強誘電体の結晶が得られる点で、MOCVD法が好ましい。

【0018】

前記MOCVD法により前記第1強誘電体層を形成する際の原料ガス、反応条件等については、形成する該第1強誘電体層の種類等により異なり一概に規定することができないが、前記第1強誘電体層が前記 $Pb(Zr, Ti)O_3[PZT]$ である場合、前記原料ガスとしては、Pb原料ガス、Zr原料ガス、Ti原料ガス、などが用いられる。

【0019】

前記Pb原料ガスとしては、例えば、 $Pb(DPM)_2$ などが挙げられる。前記Zr原料ガスとしては、例えば、 $Zr(dmhd)_4$ などが挙げられる。前記Ti原料ガスとしては、例えば、 $Ti(O-iPr)_2(DPM)_2$ などが挙げられる。

前記Pb原料ガスの流量としては、 $0.01 \sim 1.0 \text{ ml/min}$ 程度であり、 $0.1 \sim 0.5 \text{ ml/min}$ が好ましく、前記Zr原料ガスの流量としては、 $0.01 \sim 1.0 \text{ ml/min}$ 程度であり、 $0.1 \sim 0.5 \text{ ml/min}$ が好ましく、前記Ti原料ガスの流量としては、 $0.01 \sim 1.0 \text{ ml/min}$ 程度であり、 $0.1 \sim 0.5 \text{ ml/min}$ が好ましい。

前記原料ガスにおける酸素分圧としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、 $1 \sim 10 \text{ Torr} (133 \sim 1333 \text{ Pa})$ 程度であり、 $3 \sim 7 \text{ Torr} (399 \sim 933 \text{ Pa})$ が好ましい。

【0020】

なお、前記原料ガスの調製方法としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、該原料ガスの材料物質をTHF等の溶剤に溶解させて溶液を調製した後、該溶液を気化する方法などが挙げられる。

前記気化は、公知の気化器を用いて行うことができる。

前記気化された後の前記原料ガスは、例えば、酸素ガスと混合されて所定の酸素ガス分圧に調整されてから、前記下部電極上にシャワーヘッド等を用いて吹き付けられる。これにより、前記下部電極上に前記第1強誘電体層の形成を行うことができる。

【0021】

前記反応条件としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、温度としては、形成する前記第1強誘電体層の種類に応じて異なり一概に規定することはできないが、前記 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ の場合には通常 $580 \sim 620^\circ\text{C}$ 程度である。

【0022】

前記第1強誘電体層の厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、 $10 \sim 1000 \text{ nm}$ が好ましく、 $50 \sim 500 \text{ nm}$ がより好ましい。

【0023】

— 第2強誘電体層 —

前記第2強誘電体層は、前記第1強誘電体層上に形成され、AFMで測定した表面粗さ(RMS)が 5 nm 以下であり、 3 nm 以下が好ましく、実質的に平坦であることがより好ましい。

前記第2強誘電体層の表面粗さ(RMS)が 5 nm を超えると、局所的に膜厚の薄い箇所が発生することがある。

前記第2強誘電体層は、前記AFMで測定した表面粗さ(RMS)が 10 nm 以上である前記第1強誘電体層の表面に存在する凹部を埋めるようにして形成され、平坦な表面を有していることが好ましい。

前記第2強誘電体層は、アモルファス型構造からペロブスカイト型結晶構造に転化されてなることが好ましい。また、前記第2強誘電体層の結晶粒界としては、表面が粗い前記第1強誘電体層の表面に存在する凹部を埋めることができる点で、粒状構造であるのが好ましい。

【0024】

前記第2強誘電体層は、強誘電性を示す結晶化構造をとる結晶化温度未満の温度で形成される。強誘電性を示す結晶化構造をとる結晶化温度は、前記強誘電体の材料に応じて異なるが、前記第2強誘電体層が前記 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ で形成される場合には、 500°C 未満が好ましい。

【0025】

前記第2強誘電体層を形成する前記強誘電体の材料としては、形成条件により

アモルファス型構造をとることが可能であれば特に制限はなく、前記第1強誘電体層と同じものを用いることができ、成膜性、強誘電体強度向上の点で、前記第1強誘電体層と同じ組成の強誘電体を用いることが好ましい。

【0026】

前記第2強誘電体層は、La、Sr、Ca、Baなどをペロブスカイト型結晶構造におけるAサイトにドーピングしてなる $Pb(Zr, Ti)O_3[PZT]$ で形成されているのが好ましい。

また、前記第2強誘電体層は、Nb、Bi、Ta、Wなどをペロブスカイト型結晶構造におけるBサイトにドーピングしてなる $Pb(Zr, Ti)O_3[PZT]$ で形成されているのが好ましい。

【0027】

本発明の強誘電体キャパシタとしては、例えば、(1)前記第1強誘電体層が、ペロブスカイト型結晶構造の $Pb(Zr, Ti)O_3[PZT]$ で形成され、かつ前記第2強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造に転化された $Pb(Zr, Ti)O_3[PZT]$ で形成され、該ペロブスカイト型結晶構造におけるAサイトにLa、Sr及びCaから選択されるいずれかがドーピングされた態様、(2)前記第1強誘電体層が、ペロブスカイト型結晶構造を有する $Pb(Zr, Ti)O_3[PZT]$ で形成され、かつ前記第2強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造の $Pb(Zr, Ti)O_3[PZT]$ で形成され、該ペロブスカイト型結晶構造のBサイトにNb及びBiの少なくともいずれかがドーピングされた態様、などが好ましい。

このように前記第2強誘電体層にドーパントをドーピングすることによって、前記上部電極と該第2強誘電体層との界面におけるPb欠陥の発生を効果的に抑制することができる。

【0028】

前記第2強誘電体層は、前記第1強誘電体層上に形成されるが、その形成方法としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、化学溶液堆積(Chemical Solution Deposition; CSD)法、有機金属化学気相堆積(Metalorganic Chemi-

al Vapor Deposition; MOCVD) 法、パルス・レーザー・デポジション(Pulse Laser Deposition; PLD) 法、ゾルゲル法、スパッタリング法、などが挙げられる。

これらは、1 種単独で使用してもよいし、2 種以上を併用してもよく、これらの中でも、不純物が少ないアモルファス膜が容易に得られる点で、スパッタリング法が好ましい。

【0029】

前記第 2 強誘電体層を前記スパッタリング法により前記第 1 強誘電体層上に形成する場合の条件としては、特に制限はなく、通常のスputタリング法による強誘電体膜の製造方法と同様の条件を適宜採用することができる。

例えば、前記アモルファス型構造の $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ を形成する場合には、常温、スパッタリング時の投入電力を 1.5 kW、ターゲットを ($\text{Pb}, \text{La}, \text{Ca}, \text{Sr}(\text{Zr}, \text{Ti})\text{O}_3(\text{PLCSZT})$) の組成で焼結したものとし、スパッタリング中の雰囲気として Ar ガスを用いた。真空チャンバの圧力としては、1~10 Torr が好ましく、1~3 Torr (133~399 Pa) がより好ましい。

【0030】

前記アモルファス型構造の前記第 2 強誘電体膜は、後述するように、該第 2 強誘電体膜上に前記上部電極を形成し、前記強誘電体キャパシタを作製した後、該強誘電体キャパシタ全体を熱処理することによって、ペロブスカイト型結晶構造に転化される。

前記熱処理は、前記第 1 強誘電体層の形成温度よりも高温の、減圧 RTA 及び常圧 RTA (Rapid thermal anneal) のいずれかにより行われるのが好ましい。

【0031】

前記熱処理の条件としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、減圧 RTA (Rapid thermal anneal)、常圧 RTA (Rapid thermal anneal)、などが好適に挙げられる。

前記減圧RTA(Rapid thermal anneal)を行う場合、前記第1強誘電体の形成温度よりも、40～100℃高温で行うのが好ましく、50～90℃高温で行うのがより好ましく、60～80℃高温で行うのが特に好ましい。

前記減圧RTA(Rapid thermal anneal)の条件としては、例えば、0.1～10 Torr(13.3～1333 Pa)の条件などが好適に挙げられる。

前記常圧RTA(Rapid thermal anneal)を行う場合には、前記第1強誘電体の成膜温度よりも、70～160℃高温で行うのが好ましく、80～120℃高温で行うのがより好ましい。

【0032】

—上部電極—

前記上部電極としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、スパッタリング法などにより前記第2強誘電体膜上に形成することができる。前記スパッタリング法等による前記上部電極の形成条件としては、特に制限はなく、目的に応じて適宜選択することができる。

前記上部電極の材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、 IrO_2 、 RuO_2 、 SrRuO_3 、 $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ (但し、 $0 < x \leq 1$ である)などの酸化物電極が好適であり、これらの中でも、 IrO_2 がPbの拡散を抑制する観点からは好ましい。

【0033】

前記上部電極の厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、10～1000 nm程度であり、50～500 nmが好ましい。

【0034】

本発明の強誘電体キャパシタの構造としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、プレーナー型、スタック型などのいずれであってもよく、前記スタック型の場合には平面型であってもよいし、立体型であってもよい。

【0035】

本発明の強誘電体キャパシタの製造方法としては、特に制限はなく、目的に応じて適宜選択することができるが、以下の本発明の強誘電体キャパシタの製造方法により好適に製造することができる。

本発明の強誘電体キャパシタは、各種分野において好適に使用することができ、大容量の強誘電体キャパシタを有する半導体装置などに好適に使用することができ、後述する本発明の半導体装置に特に好適に使用することができる。

【0036】

(強誘電体キャパシタの製造方法)

本発明の強誘電体キャパシタの製造方法においては、前記一対の電極における一つの電極（下部電極）上に、前記第1強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度以上の温度で該第1強誘電体層を形成した後、該第1強誘電体層の上に、前記第2強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度未満の温度で該第2強誘電体層を形成する。

この場合、前記下部電極上に500℃以上、好ましくは500～700℃で前記第1強誘電体層を形成した後、該第1強誘電体層上に500℃未満で前記第2強誘電体層を形成するのが好ましい。

【0037】

また、本発明においては、前記第2強誘電体層上に前記上部電極を形成して強誘電体キャパシタを作製した後、該強誘電体キャパシタ全体に対し熱処理を行って、前記第2強誘電体層をアモルファス型構造からペロブスカイト型結晶構造に転化させるのが好ましい。なお、前記熱処理の条件としては、特に制限はなく、目的に応じて適宜選択することができ、上述した通りである。

これにより、前記上部電極を形成する前においては前記第2強誘電体層が結晶化構造を有しないので、前記上部電極と前記第2強誘電体層との界面における欠陥の発生を効果的に抑制することができる。

【0038】

前記強誘電体キャパシタ全体に対し熱処理を行う場合には、前記上部電極だけをエッチングした状態で該熱処理を行ってもよく、この場合、該強誘電体キャパ

シタの面積が小さくなってくると、該強誘電体キャパシタ面積に対する周辺長の効果が顕著になってくる点で熱処理の効率が高くなることが期待できる。

【0039】

また、本発明の強誘電体キャパシタの製造方法において、前記第1強誘電体層及び前記第2強誘電体層の形成方法としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、化学溶液堆積(Chemical Solution Deposition; CSD)法、有機金属化学気相堆積(Metalorganic Chemical Vapor Deposition; MOCVD)法、パルス・レーザー・デポジション(Pulse Laser Deposition; PLD)法、ゾルゲル法、及びスパッタリング法から選択した方法が好ましい。

【0040】

前記第1強誘電体層及び前記第2強誘電体層の形成方法として、有機金属化学気相堆積(Metalorganic Chemical Vapor Deposition; MOCVD)法を用い、該第1強誘電体層の形成温度が前記第2強誘電体層の形成温度より高くなるように制御することが好ましい。

【0041】

また、本発明においては、前記下部電極上に有機金属化学気相堆積(MOCVD)法により前記第1強誘電体層を形成した後、該第1強誘電体層上にスパッタリング法により前記第2強誘電体層を形成するのが好ましい。

【0042】

次に、本発明の強誘電体キャパシタの製造方法を具体的に実施した態様の一例について説明する。

例えば、図1に示すように、シリコン基板100上に形成された SiO_2 膜30上に、スパッタリング法によりIrからなる下部電極1を約150nmの厚みに積層形成する。次に、下部電極1上に、MOCVD法により $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜2aを形成(成膜)する。具体的には、該 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ の形成(成膜)温度は620℃であり、Pb原料として $\text{Pb}(\text{DPM})_2$ を0.37ml/min、Zr原料として $\text{Zr}(\text{dmhd})_4$ を0.31

ml/min、Ti原料としてTi(O-iPr)₂(DPM)₂を0.21ml/min導入し、酸素分圧を5 Torr (666 Pa)とした。これらの原料は、テトラヒドロフラン (THF) にモル比3%の濃度で溶解させて溶液とし、該溶液を気化器まで輸送する。そして、該気化器の温度を260℃として前記溶液 (THF 及び前記原料) を気化させた後、酸素と混合して原料ガスとし、該原料ガスを前記下部電極上にシャワーヘッドを介して吹き付ける。Pb(Zr, Ti)O₃[PZT]膜の形成 (成膜) 時間は480秒である。

【0043】

次に、得られたPb(Zr, Ti)O₃[PZT]膜2a上に、スパッタリング法を用いて常温でアモルファス型構造のPb(Zr, Ti)O₃[PZT]を形成する。具体的には、スパッタ時の投入電力は1.5kW、ターゲットとして(Pb, La, Ca, Sr)(Zr, Ti)O₃を用い、スパッタリング中の雰囲気にはArガスを用いた。チャンバ内を真空排気した後、Arガスを供給しつつ、チャンバ内の圧力を0.5Paに設定する。

【0044】

次に、得られたアモルファス型構造のPb(Zr, Ti)O₃[PZT]膜2bの上に、上部電極3としてIrO₂を厚みが約200nmとなるようにスパッタリング法で形成し、強誘電体キャパシタ50を作製した。

その後、前記強誘電体キャパシタ全体に対し725℃のRTA (Rapid Thermal Annealing) を行って、Pb(Zr, Ti)O₃[PZT]膜をアモルファス型構造からペロブスカイト型結晶構造に転化させた。以上により、本発明の強誘電体キャパシタが得られる。

【0045】

本発明の強誘電体キャパシタの製造方法によれば、高性能な強誘電体キャパシタが効率的に量産可能である。

【0046】

(半導体装置)

本発明の半導体装置について、その製造プロセスと共に説明する。

本発明の半導体装置は、基板と、該基板上に形成された強誘電体キャパシタと

を含んでなり、前記強誘電体キャパシタが、本発明の強誘電体キャパシタであること以外は特に制限はなく、目的に応じて適宜選択することができる。

【0047】

まず、図4に示すように、LOCOS (LOCAl Oxidation of Silicon) 法によりシリコン (Si) 基板100の表面に、素子分離絶縁膜を形成し、素子領域を画定する。なお、素子分離絶縁膜は、LOCOS法により形成してもよいし、シリコン基板に溝を形成してその中に絶縁膜を埋め込む方法によって形成してもよい。また、シリコン基板100は、n型であってもよいし、p型であってもよい。

【0048】

次に、素子領域に側面に、サイドウォール絶縁膜がゲート電極18と、ソース／ドレイン拡散層とを有するトランジスタを形成する。次に、全面にCVD法により、シリコン酸化膜よりなる層間絶縁膜22を形成し、その後、化学的機械的研磨 (CMP) 法により層間絶縁膜22の表面を平坦化する。

次に、フォトリソグラフィ技術により、層間絶縁膜22に、ソース／ドレイン拡散層に達するコンタクトホールを形成し、全面にスパッタリング法により、Ti膜とTiN膜とを順次形成することにより、Ti膜とTiN膜とよりなる密着層を形成する。次に、全面に、CVD法によりタングステン (W) 層を形成する。これにより、層間絶縁膜22上及びコンタクトホール内に密着層とタングステン層とが形成される。

次に、化学的機械的研磨 (CMP) 法により、層間絶縁膜22の表面が露出するまで、密着層とタングステン層とを研磨し、これにより、図4に示したように、コンタクトホール内に埋め込まれた密着層とタングステン層とよりなる導電プラグ24、24を形成する。

【0049】

次に、図5に示すように、スパッタリング法によりIrからなる下部電極層1を成膜した後、400～700℃に加熱された該下部電極1上に、MOCVD法によりPb (Zr, Ti) O₃ [PZT]層2aを形成し、該Pb (Zr, Ti) O₃ [PZT]層2aの上にスパッタリング法により、アモルファス型構造を有す

る $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 層 2b を形成した後、該アモルファス型構造を有する $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 層 2b 上に上部電極 3 を形成する。その後、強誘電体キャパシタ全体に対し、 725°C の RTA (Rapid Thermal Annealing) を行って、前記アモルファス型構造からペロブスカイト型結晶構造に転化させ、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜を結晶化する。

【0050】

その後、図 6 に示すように、前記強誘電体キャパシタのエッチングを行い、平面構造のスタック型の強誘電体キャパシタを形成する。

次に、図 7 に示すように、該強誘電体キャパシタの表面に保護膜 4 (例えば $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜) を形成する。更に、図 8 に示すように、保護膜 4 上に層間絶縁膜 5 (例えば、TEOS) を形成し、これを化学的機械研磨法 (CMP) 工程にて平坦化する。そして、図 9 に示すように、層間絶縁膜 5 にプラグコンタクト部を開口させ、 TiN/Ti 層 6、W 層 7 の順に積層し、これらの化学的機械研磨法 (CMP) を行い、プラグを形成する。その後、図 10 に示すように、配線層を形成するため、 TiN/Ti 層 8、Al 層 9 (又は Al-Cu 層)、 Ti/TiN 層 10 の順に成膜を行い、パターニング、エッチングを行う。その後、層間膜形成、化学的機械研磨法 (CMP) 工程、プラグ部開口、プラグ形成、配線形成、配線パターニング、配線エッチングを順次繰り返すことにより、多層構造とする。

以上により、前記本発明の強誘電体キャパシタを有してなる本発明の半導体装置が得られる。

【0051】

本発明の半導体装置は、反転動作を繰り返しても分極量に変動がなく、大容量であり、書き換えスピードが速く、書き換え可能回数が多く、消費電力が少なく、各種分野において好適に使用することができるが、例えば、携帯情報端末、ゲーム機用メモリバックアップ、ディスプレイ、パソコン、プリンタ、TV、デジタルカメラ、その他の OA 機器における大容量の不揮発性記憶装置として特に好適に使用することができる。

【0052】

【実施例】

以下、本発明の実施例を説明するが、本発明は、これらの実施例に何ら限定されるものではない。

【0053】**(実施例 1)**

以下のようにして、図 1 に示す強誘電体キャパシタ 50 を作製した。

まず、シリコン基板 100 上に形成された SiO_2 膜 30 上に、スパッタリング法により Ir からなる下部電極 1 を約 150 nm の厚みに積層形成した。

【0054】

次に、前記下部電極 1 上に、MOCVD 法により $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜 2a を形成 (成膜) した。具体的には、該 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ の形成温度は 620℃ であり、Pb 原料として $\text{Pb}(\text{DPM})_2$ を 0.37 ml/min、Zr 原料として $\text{Zr}(\text{dmhd})_4$ を 0.31 ml/min、Ti 原料として $\text{Ti}(\text{O-iPr})_2(\text{DPM})_2$ を 0.21 ml/min 導入し、酸素分圧を 5 Torr (666 Pa) とした。これらの原料は、テトラヒドロフラン (THF) にモル比 3% の濃度で溶解させて溶液とし、該溶液を気化器まで輸送した。そして、該気化器の温度を 260℃ として前記溶液 (THF 及び前記原料) を気化させた後、酸素と混合して原料ガスとし、該原料ガスを前記下部電極上にシャワーヘッドを介して吹き付けた。 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜の形成時間は 480 秒とした。

【0055】

得られた MOCVD- $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜 2a について、原子間力顕微鏡 (AFM: Atomic Force Microscope) により測定した表面の状態は、図 2 に示した通りであり、その表面粗さ (RMS) は 13 nm であった。

【0056】

次に、得られた MOCVD- $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜 2a 上に、スパッタリング法を用いて常温でアモルファス型構造を有する $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜 (これは、ペロブスカイト型結晶構造の A サイトに La を 3 mo

1%含有する)を形成した。具体的には、スパッタ時の投入電力は1.5kW、ターゲットとして(Pb, La, Ca, Sr)(Zr, Ti)O₃を用い、スパッタリング中の雰囲気にはArガスを用いた。チャンバ内を真空排気した後、Arガスを供給しつつ、チャンバ内の圧力を0.5Paに設定した。

【0057】

得られたアモルファス型構造を有するPb(Zr, Ti)O₃[PZT]膜の原子間力顕微鏡(AFM: Atomic Force Microscope)により測定した表面粗さ(RMS)は3nmであった。

【0058】

次に、得られたアモルファス型構造を有するPb(Zr, Ti)O₃[PZT]膜2bの上に、上部電極3としてIrO₂を厚みが約200nmとなるようにスパッタリング法で形成し、強誘電体キャパシタ50を作製した。その後、前記強誘電体キャパシタ全体に対し725℃のRTA(Rapid Thermal Annealing)を行って、Pb(Zr, Ti)O₃[PZT]膜を、アモルファス型構造からペロブスカイト型結晶構造に転化させ、実施例1の強誘電体キャパシタを作製した。

【0059】

(比較例1)

実施例1において、MOCVD-Pb(Zr, Ti)O₃[PZT]膜上にアモルファス型構造のPb(Zr, Ti)O₃[PZT]膜を形成していない以外は実施例1と同様にして比較例1の強誘電体キャパシタを作製した。

【0060】

作製した実施例1及び比較例1の強誘電体キャパシタについて、下記方法により疲労特性を測定した。結果を図3に示す。

<疲労特性>

分極反転のパルスを印加する際は、3Vの電圧を印可し、反転電荷量Q_{sw}の測定は1.8Vで行った。

図3の結果から、比較例1のMOCVD-Pb(Zr, Ti)O₃[PZT]膜上に、アモルファス型構造のPb(Zr, Ti)O₃[PZT]膜を有していない

強誘電体キャパシタは、 2×10^8 回の分極反転後に、初期の Q_{sw} の 40% に減少しているのに対し、実施例 1 の $\text{MOCVD-Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜上に、アモルファス型構造からペロブスカイト型結晶構造に転化された $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ 膜を有する本発明の強誘電体キャパシタは、 Q_{sw} の減少が緩和であり、初期の Q_{sw} の 80% を維持しており、比較例 1 に比べて疲労特性が改善していることが認められた。

【0061】

(実施例 2)

—半導体装置の作製—

本発明の強誘電体キャパシタを有する半導体装置について、その製造プロセスと共に説明する。

まず、LOCOS (LOCAL Oxidation of Silicon) 法によりシリコン (Si) 基板 100 の表面に、素子分離絶縁膜を形成し、素子領域を画定する。なお、素子分離絶縁膜は、LOCOS 法により形成してもよいし、シリコン基板に溝を形成してその中に絶縁膜を埋め込む方法によって形成してもよい。また、シリコン基板 100 は、n 型であってもよいし、p 型であってもよい。

【0062】

次に、素子領域に側面に、サイドウォール絶縁膜がゲート電極 18 と、ソース／ドレイン拡散層とを有するトランジスタを形成した。次に、全面に CVD 法により、シリコン酸化膜よりなる層間絶縁膜 22 を形成し、その後、化学的機械的研磨 (CMP) 法により層間絶縁膜 22 の表面を平坦化した。

次に、フォトリソグラフィ技術により、層間絶縁膜 22 に、ソース／ドレイン拡散層に達するコンタクトホールを形成し、全面にスパッタリング法により、Ti 膜と TiN 膜とを順次形成することにより、Ti 膜と TiN 膜とよりなる密着層を形成する。次に、全面に、CVD 法によりタングステン (W) 層を形成した。これにより、層間絶縁膜 22 上及びコンタクトホール内に密着層とタングステン層とが形成された。

次に、化学的機械的研磨 (CMP) 法により、層間絶縁膜 22 の表面が露出す

るまで、密着層とタングステン層とを研磨し、これにより、図4に示したように、コンタクトホール内に埋め込まれた密着層とタングステン層とよりなる導電プラグ24を形成した。

【0063】

次に、図5に示すように、スパッタリング法によりIrからなる下部電極層1を成膜した後、400～700℃に加熱された該下部電極1の上に、MOCVD法により $Pb(Zr, Ti)O_3[PZT]$ の層2aを形成し、該 $Pb(Zr, Ti)O_3[PZT]$ 層2aの上にスパッタリング法により、アモルファス型構造の $Pb(Zr, Ti)O_3[PZT]$ 層2bを形成した後、該アモルファス型構造の $Pb(Zr, Ti)O_3[PZT]$ 層2b上に、上部電極3を形成した。その後、強誘電体キャパシタ全体に対し、725℃のRTA(Rapid Thermal Annealing)を行って、 $Pb(Zr, Ti)O_3[PZT]$ 膜を、前記アモルファス型構造からペロブスカイト型結晶構造に転化させ、結晶化させた。

【0064】

その後、図6に示すように、前記強誘電体キャパシタのエッチングを行い、平面構造のスタック型の強誘電体キャパシタを形成した。

次に、図7に示すように、該強誘電体キャパシタの表面に保護膜4（例えば、 $Pb(Zr, Ti)O_3[PZT]$ 膜）を形成した。更に、図8に示すように、保護膜4上に層間絶縁膜5（例えば、TEOS）を形成し、これを化学的機械研磨法（CMP）工程にて平坦化した。そして、図9に示すように、層間絶縁膜5にプラグコンタクト部を開口させ、TiN/Ti層6、W層7の順に積層し、これらの化学的機械研磨法（CMP）を行い、プラグを形成した。その後、図10に示すように、配線層を形成するため、TiN/Ti層8、Al層9（又はAl-Cu層）、Ti/TiN層10の順に成膜を行い、パターンニング、エッチングを行った。その後、層間膜形成、化学的機械研磨法（CMP）工程、プラグ部開口、プラグ形成、配線形成、配線パターンニング、配線エッチングを順次繰り返すことにより、多層構造とした。

以上により、前記強誘電体キャパシタを有してなる本発明の半導体装置が得ら

れた。

【0065】

ここで、本発明の好ましい態様を付記すると、以下の通りである。

(付記1) 一対の電極間に強誘電体を挟持させてなり、該強誘電体が、原子間力顕微鏡で測定した表面粗さ (RMS) が 10 nm 以上である第1強誘電体層と、該第1強誘電体層上に形成され、原子間力顕微鏡で測定した表面粗さ (RMS) が 5 nm 以下である第2強誘電体層とを有することを特徴とする強誘電体キャパシタ。

(付記2) 第2強誘電体層が、第1強誘電体層の表面に存在する凹部を埋めるようにして成膜された付記1に記載の強誘電体キャパシタ。

(付記3) 第1強誘電体層が、強誘電性を示す結晶化構造をとる結晶化温度以上の温度で形成され、第2強誘電体層が、強誘電性を示す結晶化構造をとる結晶化温度未満の温度で形成される付記1から2のいずれかに記載の強誘電体キャパシタ。

(付記4) 強誘電性を示す結晶化構造をとる結晶化温度が、500℃である付記3に記載の強誘電体キャパシタ。

(付記5) 第1強誘電体層が、ペロブスカイト型結晶構造を有し、第2強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造に転化されてなる付記1から4のいずれかに記載の強誘電体キャパシタ。

(付記6) 第2強誘電体層が、熱処理により、アモルファス型構造からペロブスカイト型結晶構造に転化される付記5に記載の強誘電体キャパシタ。

(付記7) 熱処理が、第1強誘電体層の成膜温度よりも高温の、減圧RTA (Rapid thermal anneal) 及び常圧RTA (Rapid thermal anneal) のいずれかにより行われる付記6に記載の強誘電体キャパシタ。

(付記8) 強誘電体が、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ [PZT]、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ [SBT] 及び $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ [BIT] から選択される付記1から7のいずれかに記載の強誘電体キャパシタ。

(付記9) 第1強誘電体層が、ペロブスカイト型結晶構造を有する $\text{Pb}(\text{Zr}$

、 $(\text{Ti})\text{O}_3[\text{PZT}]$ であり、第2強誘電体層が、アモルファス型構造からペロブスカイト型結晶構造に転化されてなる $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3[\text{PZT}]$ である付記1から8のいずれかに記載の強誘電体キャパシタ。

(付記10) 強誘電体が、ペロブスカイト型結晶構造におけるAサイトに、 La 、 Sr 、 Ba 及び Ca から選択される1種がドーピングされてなる付記1から9のいずれかに記載の強誘電体キャパシタ。

(付記11) 強誘電体が、ペロブスカイト型結晶構造におけるBサイトに、 Nb 、 Ta 、 W 及び Bi から選択される1種がドーピングされてなる付記1から10のいずれかに記載の強誘電体キャパシタ。

(付記12) 一对の電極における少なくとも一つが、 IrO_2 、 RuO_2 、 SrRuO_3 及び $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ （但し、 $0 < x \leq 1$ である）のいずれかで形成された付記1から11のいずれかに記載の強誘電体キャパシタ。

(付記13) 一对の電極間に強誘電体を挟持させてなり、該一对の電極における一方の表面に、第1強誘電体層と、第2強誘電体層と、該一对の電極における他方とをこの順に有してなり、該第1強誘電体層が柱状の結晶粒界を有し、該第2強誘電体層が粒状の結晶粒界を有する付記1から12のいずれかに記載の強誘電体キャパシタ。

(付記14) 基板と、該基板上に形成された強誘電体キャパシタとを含んでなり、前記強誘電体キャパシタが、付記1から13のいずれかに記載の強誘電体キャパシタであることを特徴とする半導体装置。

(付記15) 一对の電極間に強誘電体を挟持させてなる強誘電体キャパシタの製造方法であって、該一对の電極における一つの電極上に、第1強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度以上の温度で該第1強誘電体層を形成した後、該第1強誘電体層の上に、第2強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度未満の温度で該第2強誘電体層を形成することを特徴とする強誘電体キャパシタの製造方法。

(付記16) 第1強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度及び第2強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度が 500°C である付記15に記載の強誘電体キャパシタの製造方法。

(付記 17) 第 2 強誘電体層を形成した後、該第 2 強誘電体層上に一対の電極における他の電極を形成した後、全体を熱処理して、該第 2 強誘電体層における結晶粒界をアモルファス型構造から結晶型構造に転化させる付記 15 から 16 のいずれかに記載の強誘電体キャパシタの製造方法。

(付記 18) 第 1 強誘電体層及び第 2 強誘電体層の形成が、化学溶液堆積 (Chemical Solution Deposition; CSD) 法、有機金属化学気相堆積 (Metalorganic Chemical Vapor Deposition; MOCVD) 法、パルス・レーザー・デポジション (Pulse Laser Deposition; PLD) 法、ゾルゲル法、及びスパッタリング法のいずれかにより行われる付記 15 から 17 のいずれかに記載の強誘電体キャパシタの製造方法。

(付記 19) 第 1 強誘電体層及び第 2 強誘電体層の形成が、有機金属化学気相堆積 (Metalorganic Chemical Vapor Deposition; MOCVD) 法により行われ、該第 1 強誘電体層の形成が該第 2 強誘電体層の形成よりも高い温度で行われる付記 15 から 17 のいずれかに記載の強誘電体キャパシタの製造方法。

(付記 20) 第 1 強誘電体層の形成が、有機金属化学気相堆積 (Metalorganic Chemical Vapor Deposition; MOCVD) 法により行われ、第 2 強誘電体層の形成が、スパッタリング法により行われる付記 15 から 17 のいずれかに記載の強誘電体キャパシタの製造方法。

【0066】

【発明の効果】

本発明によると、従来における問題を解決し、疲労特性が改善し、大容量の不揮発性メモリとして好適な強誘電体キャパシタ及びその効率的な製造方法、並びに、該強誘電体キャパシタを有する高性能な半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の強誘電体キャパシタの一例を示す概略断面図である。

【図 2】

図 2 は、実施例 1 で作製した $\text{MO CVD-Pb (Zr, Ti) O}_3[\text{PZT}]$ 膜の AFM で測定した表面の微細構造状態を示す概略説明図である。

【図 3】

図 3 は、実施例 1 と比較例 1 との強誘電体キャパシタにおける分極反転回数と反転電荷量 Q_{sw} との関係を示すグラフである。

【図 4】

図 4 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタを形成する前の状態を示す概略説明図である。

【図 5】

図 5 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタを形成した後の状態を示す概略説明図である。

【図 6】

図 6 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタにエッチング処理を行った後の状態を示す概略説明図である。

【図 7】

図 7 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタの表面に保護膜を形成した後の状態を示す概略説明図である。

【図 8】

図 8 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタの表面に形成した保護膜上に層間絶縁膜を形成した後の状態を示す概略説明図である。

【図 9】

図 9 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタ上に形成した

層間絶縁膜にプラグを形成した後の状態を示す概略説明図である。

【図 10】

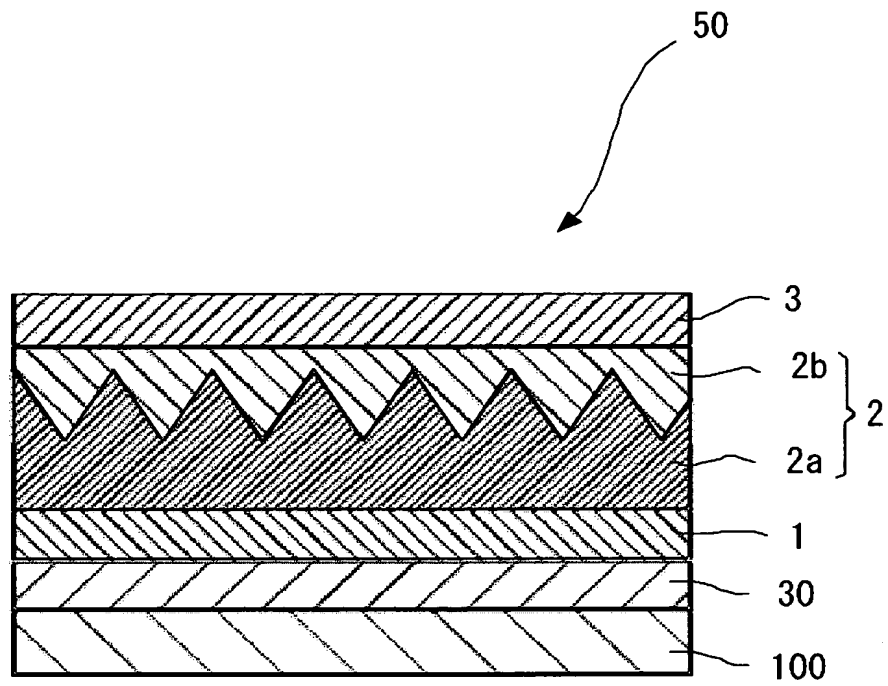
図 10 は、本発明の強誘電体キャパシタを有する半導体装置の製造プロセスの一例を説明するための工程図であって、本発明の強誘電体キャパシタ上に形成した層間絶縁膜にプラグを形成した後、更に配線を形成した状態を示す概略説明図である。

【符号の説明】

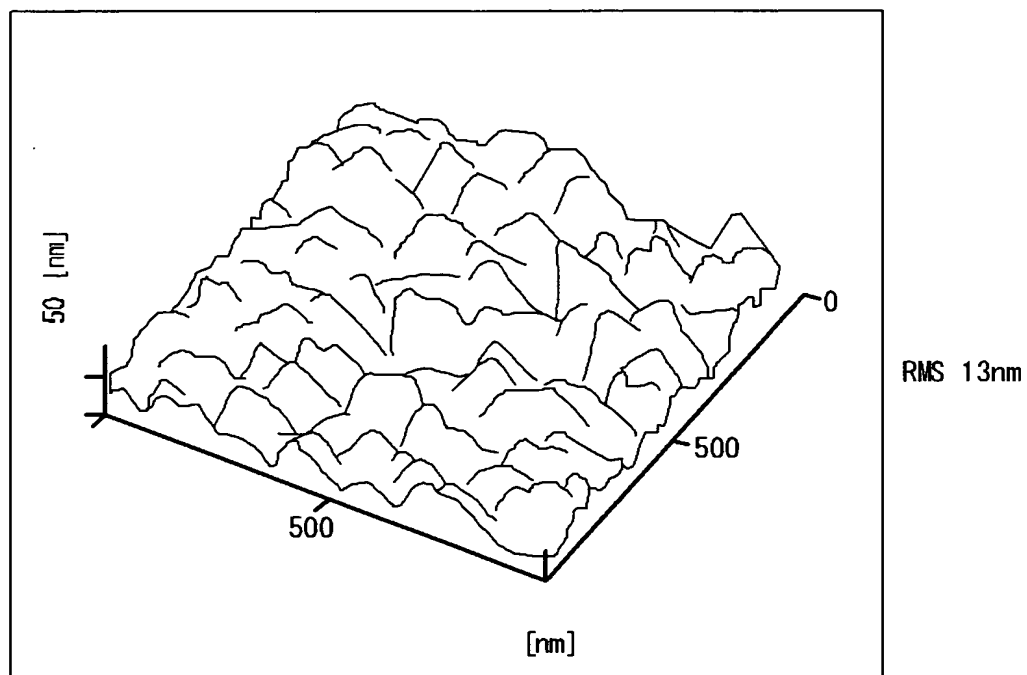
- 1 . . . 下部電極
- 2 . . . 強誘電体
- 2 a . . . 第 1 強誘電体層
- 2 b . . . 第 2 強誘電体層
- 3 . . . 上部電極
- 4 . . . 保護膜
- 5 . . . 層間膜
- 6 . . . TiN/Ti 層
- 7 . . . W 層
- 8 . . . TiN/Ti 層
- 9 . . . Al 層
- 10 . . . Ti/TiN 層
- 18 . . . ゲート電極
- 22 . . . 層間絶縁膜
- 24 . . . 導体プラグ
- 30 . . . SiO₂ 膜
- 50 . . . 強誘電体キャパシタ
- 100 . . . シリコン基板

【書類名】 図面

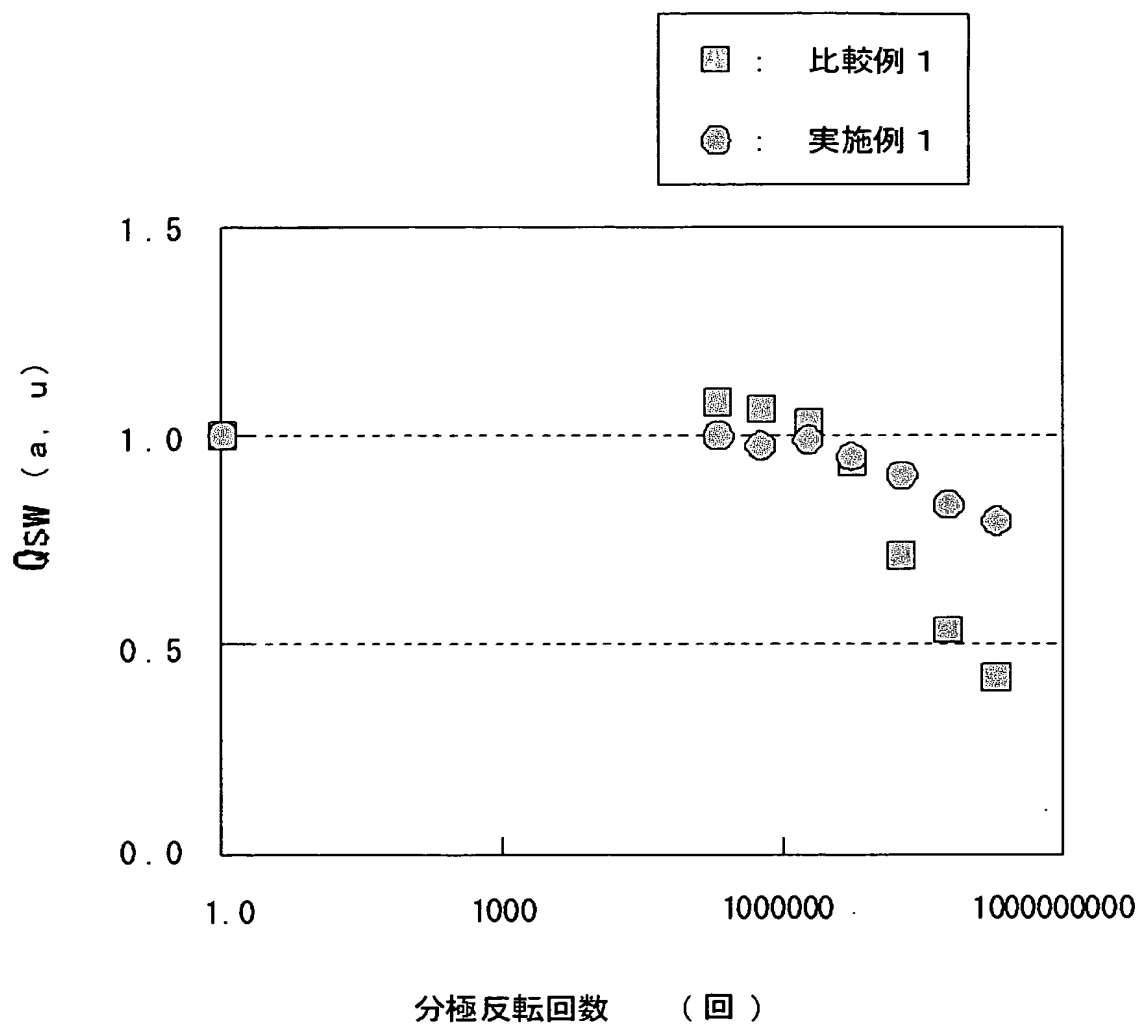
【図 1】



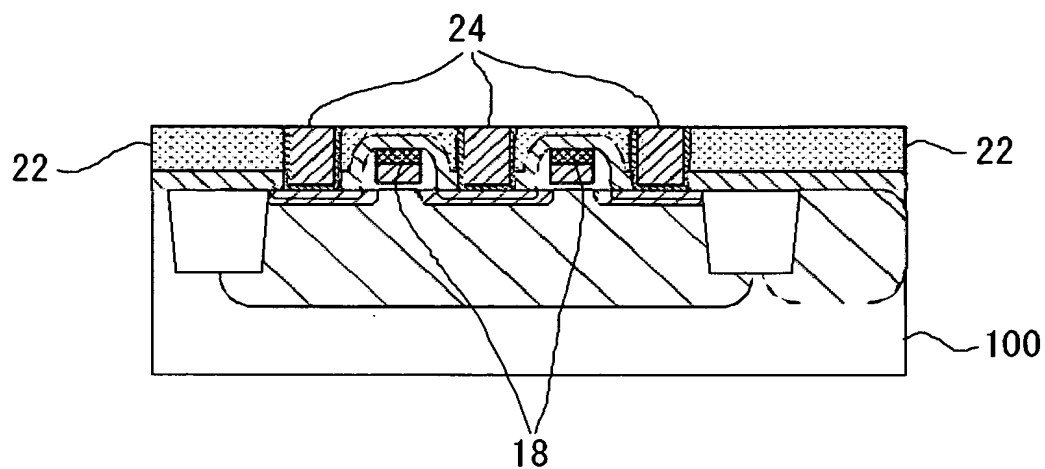
【図 2】

MOCVD-Pb(Zr, Ti)O₃表面のAFM像

【図 3】

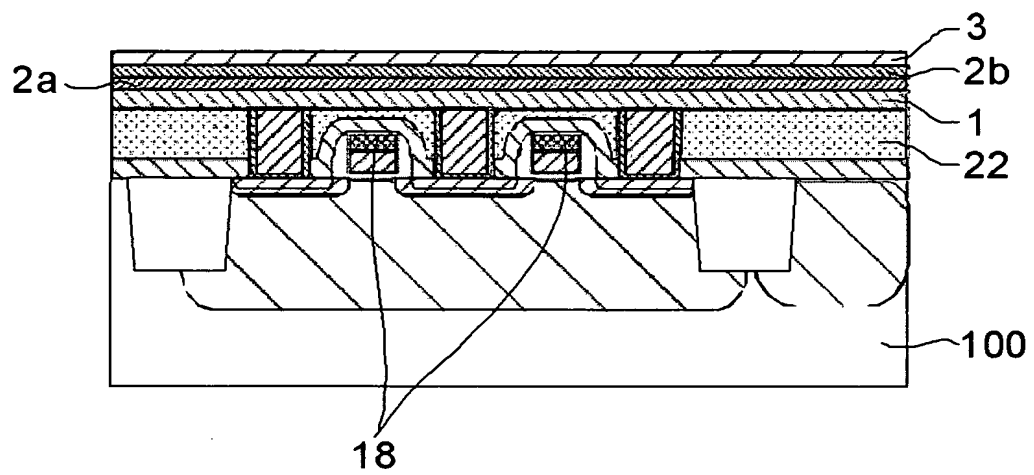


【図 4】

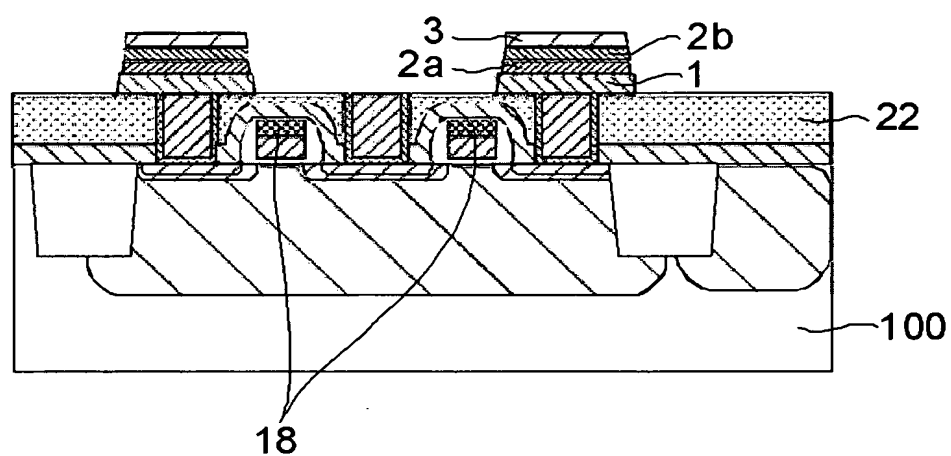


I

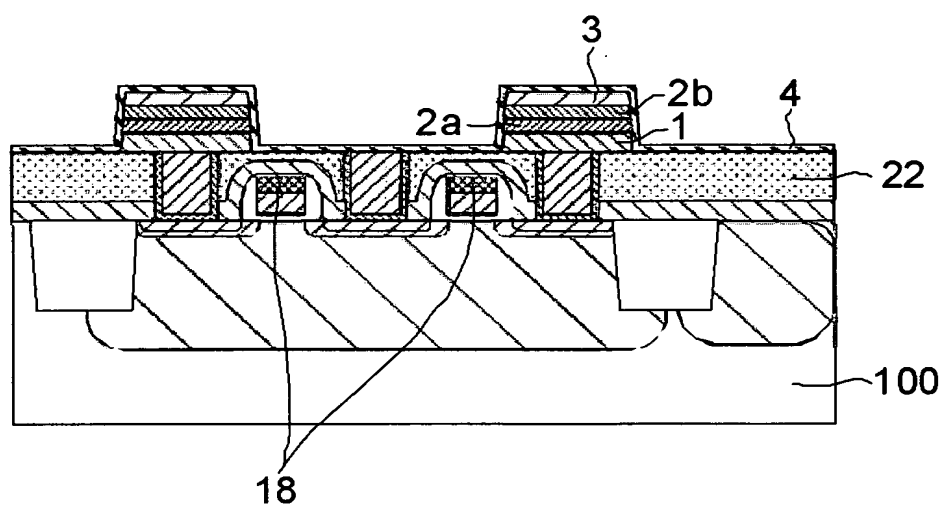
【図 5】



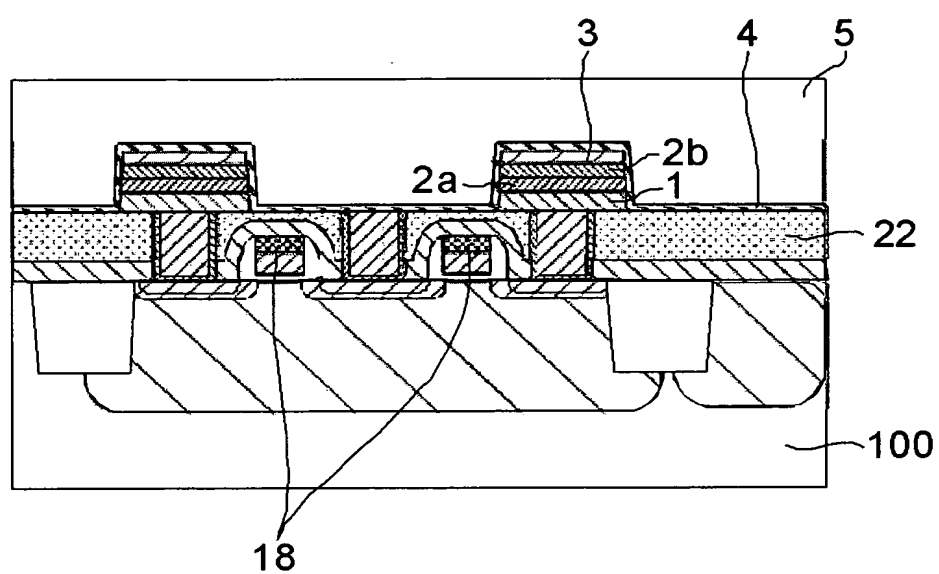
【図 6】



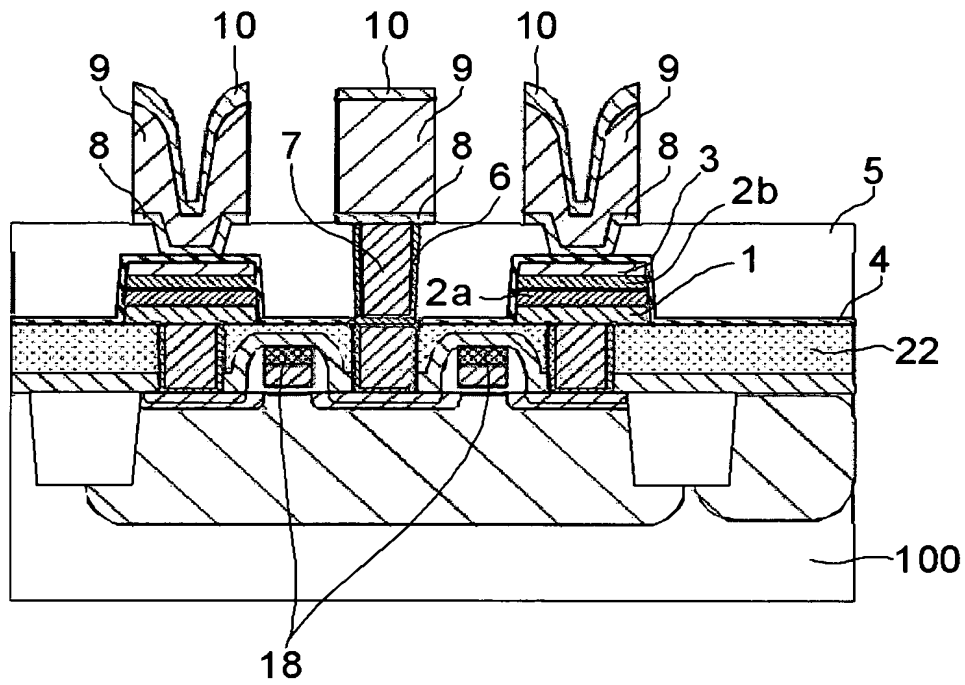
【図 7】



【図 8】



【図 10】



【書類名】 要約書

【要約】

【課題】 疲労特性が改善し、大容量の不揮発性メモリとして好適な強誘電体キャパシタ及びその効率的な製造方法、並びに、該強誘電体キャパシタを有する高性能な半導体装置の提供。

【解決手段】 一対の電極間に強誘電体を挟持させてなり、該強誘電体が、原子間力顕微鏡で測定した表面粗さ（RMS）が10 nm以上である第1強誘電体層と、該第1強誘電体層上に形成され、原子間力顕微鏡で測定した表面粗さ（RMS）が5 nm以下である第2強誘電体層とを有する強誘電体キャパシタである。一対の電極における一つの電極上に、第1強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度以上の温度で該第1強誘電体層を形成した後、該第1強誘電体層の上に、第2強誘電体層が強誘電性を示す結晶化構造をとる結晶化温度未満の温度で該第2強誘電体層を形成する強誘電体キャパシタの製造方法。

【選択図】 図1

特願 2 0 0 3 - 0 0 2 5 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社